

MENU

SEARCH

INDEX

DETAIL

BACK

NEXT

2/6



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10105909

(43)Date of publication of application: 24.04.1998

(51)Int.Cl.

G11B 5/02

G11B 5/39

(21)Application number: 08259888

(71)Applicant:

FUJITSU LTD

(22)Date of filing: 30.09.1996

(72)Inventor:

OBA KAZUhide

MIYAGAWA KENSUKE

MIURA HAJIME

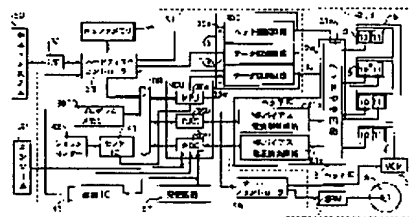
OMORI HIDEKI

(54) DEVICE AND METHOD FOR CONTROLLING BIAS CURRENT FOR MAGNETO-RESISTANCE EFFECT TYPE MAGNETIC HEAD, AND MAGNETIC STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a utilization factor by making an investigation current flow through a magneto-resistance effect type magnetic head for calculating a resistance of the head from the current and a terminal voltage, determining a tolerance range of the bias current based on a pre-investigated relationship between the life and resistance, and setting an optimal bias current within the range.

SOLUTION: A current control circuit 21b supplies a bias current to a magneto-resistance effect type magnetic head 10. A voltage detector 21c detects a voltage across both terminals of the magnetic head 10 then. A host system 50 works out a resistance of the magnetic head 10 from the bias current value and the voltage across the terminal. The host system 50 stores life data representing a relationship among resistance, bias current value, and life beforehand, and sets a tolerance of the bias current level referring to the relationship. And, the bias current is determined according to a prescribed optimal bias current setting procedure and also within a tolerance of the bias current.



LEGAL STATUS

**This Page Blank (uspto)**



## 【特許請求の範囲】

【請求項 1】磁気抵抗効果型磁気ヘッドに調査用電流を流し、  
前記磁気抵抗効果型磁気ヘッドの端子にかかる電圧を測定し、  
前記調査用電流と前記電圧に基づいて前記磁気抵抗効果型磁気ヘッドの抵抗を演算し、  
予め調査された寿命と前記抵抗の関係から前記磁気抵抗効果型ヘッドに流す磁気抵抗効果バイアス電流の大きさの許容範囲を求め、  
前記許容範囲内で最適バイアス電流を決定することを特徴とする磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法。

【請求項 2】前記最適バイアス電流は、前記磁気抵抗効果バイアス電流の前記許容範囲内において最もスライスレベルマージンが最大になる値に設定されることを特徴とする請求項 1 記載の磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法。

【請求項 3】前記最適バイアス電流のデータを記憶手段に格納するステップを有することを特徴とする請求項 1 記載の磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法。

【請求項 4】前記最適バイアス電流の前記データを前記記憶手段を構成する磁気記憶媒体に格納することを特徴とする請求項 3 記載の磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法。

【請求項 5】前記最適バイアス電流の前記データは、前記記憶手段を構成する半導体記憶デバイスに格納されることを特徴とする請求項 3 記載の磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法。

【請求項 6】請求項 1～5 いずれか記載の磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法によって決定された前記最適バイアス電流を出力するバイアス電流供給手段と、  
前記バイアス供給手段から前記最適バイアス電流が供給される磁気抵抗効果型磁気ヘッドと、  
前記磁気抵抗効果型磁気ヘッドに対向する磁気記憶媒体とを有することを特徴とする磁気記憶装置。

【請求項 7】磁気抵抗効果型磁気ヘッドへのバイアス電流の供給を制御する電流制御手段と、  
前記バイアス電流が供給されている前記磁気抵抗効果型磁気ヘッドの両端にかかる電圧を検出する電圧検出手段と、  
前記電圧検出手段から出力された前記電圧のデータと前記電流制御手段から供給された前記バイアス電流のデータに基づいて前記磁気抵抗効果型磁気ヘッドの抵抗を求める抵抗値演算手段と、  
前記磁気抵抗効果型磁気ヘッドの抵抗値と前記バイアス電流の値と寿命の関係を示す寿命データを記憶する寿命データ記憶手段と、

前記抵抗値演算手段によって求めた前記抵抗の大きさと前記寿命データとに基づいて前記バイアス電流の大きさの許容範囲を求めるバイアス電流許容範囲設定手段と、  
前記バイアス電流の大きさの前記許容範囲内で最適バイアス電流を決定する最適バイアス電流設定手段と、  
前記最適バイアス電流設定手段により決定された前記最適バイアス電流のデータを格納する記憶手段とを有することを特徴とする磁気抵抗効果型磁気ヘッドのバイアス電流調整装置。

10 【請求項 8】磁気記録媒体のトラック幅に対するスライスレベルマージンを求めるスライスレベルマージン測定手段を有し、

前記最適バイアス電流設定手段は、前記バイアス電流の前記許容範囲内において前記スライスレベルマージンが最大になる値を求めて前記最適バイアス電流を決定することを特徴とする請求項 7 記載の磁気抵抗効果型磁気ヘッドのバイアス電流調整装置。

## 【発明の詳細な説明】

## 【0001】

20 【発明の属する技術分野】本発明は、磁気抵抗効果型磁気ヘッドのバイアス電流の調整装置とその調整方法及び磁気記憶装置に関する。

## 【0002】

【従来の技術】磁気ディスク装置の高密度化、大容量化に対応した再生ヘッドとして、磁界の強さに応じて電気抵抗が変化する磁気抵抗効果素子を用いた磁気ヘッドが使用されている。磁気抵抗効果型磁気ヘッド（以下、MRヘッドという）は、例えば図 14 (a) に示すように、軟磁性層 101 と非磁性層 102 と磁気抵抗効果層 103 を重ね、その両端に磁区制御磁性層 106, 107 と一対のリード 104, 105 を重ねた構造を有している。そして、リード 104, 105 を介して磁気抵抗効果層 103 のセンス領域 W にバイアス電流  $I_s$  を流し、センス領域 W の磁化 M の方向を外部磁界によって変化させることにより、センス領域 W の抵抗を変化させるものである。抵抗の変化は電圧の変化として検出される。磁気抵抗効果層 103 の抵抗値が大きくなるほど磁気ヘッドの再生出力が大きくなるが、その反対に磁気ヘッドの感度が鈍くなる。

【0003】そこで、MRヘッドの抵抗値を適正に調整することが要求される。その抵抗値の調整方法の 1 つとして、磁気ヘッドの軟磁性層 101 から磁気抵抗効果層 103 のうち磁気記録媒体との対向部を研磨してリード 104, 105 間のその抵抗値を変える方法がある。その研磨は、軟磁性層 101 から磁気抵抗効果層 103 のうち磁気記録媒体に対向する面に対して行われる。研磨によって磁気抵抗効果層 103 などが低くなるほどその抵抗は大きくなる関係にある。この場合の磁気抵抗効果層 103 などの高さ  $h$  は、磁気記録媒体面に垂直方向の高さである。

【0004】しかし、研磨による MRヘッドの抵抗の調整は手間がかかり、しかも、抵抗調整の精度が高くない

といった不都合がある。また、MRヘッドでは、マイグレーションによる寿命の短縮化という問題がある。マイグレーションは、バイアス電流により磁気抵抗効果層などが溶断する現象である。

【0005】そこで、研磨のバラツキ、マイグレーションなどを考慮して、MRヘッドに流す電流、即ちバイアス電流の大きさを最適化することが行われている。バイアス電流の大きさを最適化するために、まず、図14(b)に示すように、MRヘッドの抵抗値(MR抵抗値)とバイアス電流の座標に寿命曲線を描く。その寿命曲線は、実験結果から求められる。

【0006】この寿命曲線において、バイアス電流を決める場合には、MRヘッドの抵抗の大きさに上限を設けて、その上限を超える抵抗値のMRヘッドは使用しないことを前提としている。そして、図14(b)の寿命曲線に基づいて、抵抗値が上限のMRヘッドに許容できる最大限のバイアス電流 $I_0$ を全てのMRヘッドのバイアス電流として決定する。

【0007】バイアス電流の決定の方法としては、その他に次のようなものがある。まず、図15に示すように、所定のバイアス電流 $I_s$ をMRヘッドに流し、MRヘッド高さ $h$ と寿命の関係を予め調査しておき、所望年数よりも長い寿命が得られるMRヘッドの高さを有するMRヘッドだけを使用する方法が採用されている。

【0008】さらに、図16に示すように、所定のバイアス電流 $I_s$ をMRヘッドに流し、MRヘッドの高さ $h$ と出力電圧波形の振幅 $V_{iso}$ を予め調査しておき、所望の値よりも大きな振幅が得られるMRヘッド高さ $h$ を有するMRヘッドだけを使用する方法も採用されている。

【0009】

【発明が解決しようとする課題】それらの方法によってバイアス電流 $I_s$ を決めると、抵抗値の小さなMRヘッドにも小さな電流を流すことになるので高い出力が得られなくなる。しかも、このような方法によれば、抵抗値の上限を決めることが必要になるので、その抵抗よりも大きな抵抗を有するMRヘッドは使用できず、無駄が生じることになる。

【0010】本発明の目的は、磁気抵抗効果型磁気ヘッドのバイアス電流を最適値に設定するとともに、MRヘッドの使用効率を高めることができる磁気抵抗効果型磁気ヘッドのバイアス電流の調整装置とその調整方法、及びその方法によって調整された磁気ヘッドを備えた磁気記憶装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

(手段) 上記した課題は、図6に例示するように、磁気抵抗効果型磁気ヘッドに調査用電流を流し、前記磁気抵抗効果型磁気ヘッドの端子にかかる電圧を測定し、前記調査用電流と前記電圧に基づいて前記磁気抵抗効果型磁気ヘッドの抵抗を演算し、予め調査された寿命と前記抵

抗の関係から前記磁気抵抗効果型ヘッドに流す磁気抵抗効果バイアス電流の大きさの許容範囲を求め、前記許容範囲内で最適バイアス電流を決定することを特徴とする磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法によって解決する。

【0012】上記した磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法において、前記最適バイアス電流は、前記磁気抵抗効果バイアス電流の前記許容範囲内において最もスライスレベルマージンが最大になる値に設定されることを特徴とする。上記した磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法において、前記最適バイアス電流のデータを記憶手段に格納するステップを有することを特徴とする。この場合、前記最適バイアス電流の前記データは、前記記憶手段を構成する磁気ディスクに格納されることを特徴とする。また、前記最適バイアス電流の前記データは、前記記憶手段を構成する半導体記憶デバイスに格納されることを特徴とする。

【0013】上記した課題は、図5に例示するように、上記した磁気抵抗効果型磁気ヘッドのバイアス電流の調整方法によって決定された最適バイアス電流を出力するバイアス電流供給手段21bと、前記バイアス供給手段から前記最適バイアス電流が供給される磁気抵抗効果型磁気ヘッド10と、前記磁気抵抗効果型磁気ヘッド10に対向する磁気記憶媒体8とを有することを特徴とする磁気記憶装置によって解決する。

【0014】上記した課題は、図5に例示するように、磁気抵抗効果型磁気ヘッド10へのバイアス電流の供給を制御する電流制御手段21bと、前記バイアス電流が供給されている前記磁気抵抗効果型磁気ヘッド10の両端にかかる電圧を検出する電圧検出手段21cと、前記電圧検出手段21cから出力された前記電圧のデータと前記電流制御手段21bから供給された前記バイアス電流のデータに基づいて前記磁気抵抗効果型磁気ヘッド10の抵抗を求める抵抗値演算手段50aと、前記磁気抵抗効果型磁気ヘッド10の抵抗値と前記バイアス電流の値と寿命の関係を示す寿命データを記憶する寿命データ記憶手段50bと、前記抵抗値演算手段によって求めた前記抵抗の値と前記寿命データとに基づいて前記バイアス電流の大きさの許容範囲を求めるバイアス電流許容範囲設定手段50cと、前記バイアス電流の大きさの前記許容範囲内で最適バイアス電流を決定する最適バイアス電流設定手段50eと、前記最適バイアス電流設定手段により決定された前記最適バイアス電流のデータを格納する記憶手段8とを有することを特徴とする磁気抵抗効果型磁気ヘッドのバイアス電流の調整装置によって解決する。

【0015】上記した磁気抵抗効果型磁気ヘッドのバイアス電流の調整装置において、磁気記録媒体のトラック幅に対するスライスレベルマージンを求めるスライスレベルマージン測定手段50を有し、前記最適バイアス電

流設定手段50は、前記バイアス電流の前記許容範囲内において前記スライズレベルマージンが最大になる値を求めて前記最適バイアス電流を決定することを特徴とする。

【0016】（作用）次に、本発明の作用について説明する。本発明によれば、MRヘッドの抵抗値と寿命との関係からバイアス電流の大きさを許容する範囲を求め、その範囲内で最適バイアス電流を設定するようにしたので、抵抗の小さなMRヘッドの出力が大きくなる。

【0017】また、その範囲内でスライズレベルマージンが最大になるバイアス電流を最適バイアス電流に設定すると、MRヘッドの能力を十分に活用することができ、マイグレーションによる劣化が防止される。しかも、従来のように全てのMRヘッドに同じバイアス電流を流す場合には、抵抗が高すぎるとして磁気ディスク装置に組み込まれなかったMRヘッドにも最適なバイアス電流を流すことになるので、MRヘッドの無駄をなくすることができる。

#### 【0018】

【発明の実施の形態】そこで、以下に本発明の実施形態を図面に基づいて説明する。まず、本発明の磁気ディスク装置の内部構造を説明する。図1は、その内部構造の平面図、図2は図1のI-I線断面図である。図1及び図2において、磁気ディスク装置1の筐体は、ベースプレート2とカバー3から構成されている。

【0019】ベースプレート2内において、1つのコーナー寄りの領域にはアクチュエータ4が横方向に回転自在となるように軸4aで支えられている。アクチュエータ3の軸3aよりも後方の部分にはボイスコイルモータ（以下、VCMという）5が取り付けられる一方、その前方部にはアーム6が取り付けられている。また、ベースプレート1のほぼ中央領域にはスピンドルモータ（以下、SPMという）7が取り付けられている。そのスピンドルモータ7の回転軸には、複数の円板状の磁気記録媒体（以下、磁気ディスクという）8の中央孔が貫通され、しかもそれらの磁気ディスク8は厚さ方向に間隔をおいて固定されている。

【0020】磁気ディスク8の枚数をn枚（nは自然数）とすると、データ面は2n面となるので、各データ面毎に対向するアーム6はアクチュエータ4に2n個取り付けられる。それぞれのアーム6の先端近傍には、図3(a)に示すように、再生用ヘッドとしてMRヘッド10、記録用ヘッドとして誘導型ヘッド11を有するスライダ9が装着されている。

【0021】MRヘッド10は、図3(b)に示すように、例えばNiFeRh又はNiFeCrよりなるSAL層10a、Cuよりなる非磁性層10b、NiFeよりなる磁気抵抗効果層10cを有しており、その両側にはCoCrPtなどの硬質磁性材又はFeMnなどの反強磁性材からなる磁区制御磁性層10dが接続されている。磁気抵抗効果層10cの磁

化容易磁区は、磁区制御磁性層10dによってセンス電流Jの流れる方向になるように制御されている。さらに、SAL層10aから磁気抵抗効果層10cは長方形に形成され、その磁区制御磁性層10dの上には金よりなる一対のリード10eが接続されている。

【0022】そのSAL層10aでは、一対のリード10e間のセンス電流Jにより生じる磁界によって磁化M<sub>1</sub>の方向が制御されてセンス電流Jに対し垂直となる。さらに、SAL層10aの磁化M<sub>1</sub>から生じるバイアス磁界H<sub>b</sub>によって磁気抵抗効果層10cの磁化M<sub>2</sub>は磁化容易軸から角度θで傾くことになる。これにより、磁気抵抗効果層10cの抵抗が信号磁界H<sub>sig</sub>に対して線形に変化することになる。

【0023】SAL層10aからリード10eまでは、第1及び第2の非磁性絶縁層10f、10gによって挟まれ、さらに第1及び第2の非磁性制御層10f、10gは第1及び第2の磁気シールド層12、13によって挟まれている。磁気抵抗効果層10cは、図4に示すような抵抗率・磁界特性曲線を有しているが、バイアス磁界を与えることによって信号磁界H<sub>sig</sub>に対する抵抗変化の線形性が得られる。なお、バイアス磁界H<sub>a</sub>はSAL層10aの磁化M<sub>1</sub>から生じる磁界であるので、センス電流Jの大きさによって変化する。

【0024】一方、誘導型ヘッド11は、第2の磁気シールド層13と第3の磁気シールド層14の間に形成された絶縁層11aと、その絶縁層11a内を通る誘導コイル11bとを有している。また、第3の磁気シールド層14の先端は細くなって記録用の磁界を発生させるコアとなり、第2の磁気シールド層13との間には記録用ギャップが形成されている。

【0025】このように、MRヘッド10、誘導型ヘッド11及びアーム6が取り付けられているアクチュエータ4の隣の領域には、ヘッド半導体集積回路（以下、ヘッドICという）21を搭載したフレキシブルプリント回路基板（以下、FPC基板という）20が取り付けられている。このFPC基板20からは、フレキシブルバンド22がアクチュエータ4の側部に引き出されている。フレキシブルバンド22上に形成された配線パターン（不図示）は、MRヘッド10のリード10eや誘導型ヘッド11の誘導コイル11bから引き出された配線に接続され、これにより、ヘッドIC21と再生用ヘッド10は電気的に接続され、さらに、ヘッドIC21は誘導型ヘッド11に電気的に接続されている。ヘッドIC21は、リード、ライト、サーボ情報を読み取ったり、ヘッド選択などをおこなう回路構成となっている。

【0026】また、磁気ディスク8の近傍には防塵用フィルタ23が取り付けられており、磁気ディスク8の回転に伴って筐体内を流れる空気中のゴミを吸着するようになっている。このような磁気ディスク装置1のベースプレート2の下側には、図5に示すようなコントロール

ユニット31を有するプリント基板30が取付けられている。そのコントロールユニット31は、ヘッドIC21、VCM5、SPM7に接続されている。

【0027】コントロールユニット31は、インターフェース(I/F)32、ハードディスクコントローラ(以下、HDCという)33、バッファメモリ34、リードチャネル(RDC)35、MCU(Micro Controller Unit)36、発振回路37、プログラムメモリ38、サーボコントローラ39などを有している。バッファメモリ34は、DRAMのような半導体記憶デバイスから

構成されている。

【0028】ハードディスクコントローラ33は、磁気ディスク装置1の外部にあるホストシステム50との間でインターフェース32を介して入出力に必要な各種のコマンドやデータの転送を行う。また、ハードディスクコントローラ33は、データを格納するための書換え可能なバッファメモリ(RAM)34に接続され、さらに、データバスDBを介してMCU36に接続されている。

【0029】MCU36は、MPU(Micro Processor Unit)36a、デジタルアナログコンバータ回路(以下DAC回路という)36b、アナログデジタルコンバータ回路(以下、ADCという)36c、RAM(不図示)、ROM(不図示)などを有している。このMCU36は、発振回路37や論理回路40からのクロックを入力するとともに、ショックセンサー半導体集積回路41からの信号を入力するように構成されている。

【0030】DAC回路36bは、MPU36aを介してHDC33から入力したデジタルのセンス電流設定データをアナログ電圧に変換し、そのアナログ電圧をヘッドIC21内のMRバイアス電流制御回路21aに出力する。MRバイアス電流制御回路21aは、DAC回路36bからのアナログ電圧に比例した大きさのMRバイアス電流IをMRヘッド10に供給する。

【0031】また、ADC回路36cは、ヘッドIC21内のMRバイアス電圧検出回路21cから出力されたMRヘッド電圧信号の大きさをアナログからデジタルに変換するものである。そして、ADC回路36cから出力されたデジタルのMRヘッド電圧信号は、データバスBS、HDC33、インターフェース32を介してホストシステム50に入力される。

【0032】上記した論理回路40は、発振回路37からの第1のクロックに基づいて各種のコントロールに必要な第2のクロックを発生する回路で、この第2のクロックはHDC33にも出力されている。また、ショックサンサ半導体集積回路41は、衝撃を受けたショックセンサ42からの衝撃検出信号が所定の値を越えた時点でその衝撃検出信号をMPU36aに出力するものである。衝撃検出信号を受けたMPU36aは、リードチャネル35が書込み動作中であればこの書込み動作を強制

終了させる信号をリードチャネル35に出力する。

【0033】リードチャネル35は、HDC33からの指令によりMRヘッド10を1個、又は誘導型ヘッド11を1個だけ選択するためのヘッド選択回路35aと、HDC33からの信号に基づいてヘッドIC21に記録信号Swを出力するデータ変調回路35bと、ヘッドIC21から入力した再生信号Srを復調するデータ復調回路35cを有している。

【0034】データ復調回路35cは、モディファイド・リオバイナリとして知られた電圧レベル検出方式であるPR4ML(Pertial Response Class 4 Maximum Likelihood)方式を採用している。一方、データ変調回路35bは、データ復調回路35cのPR4ML方式に対応したデータの変調を行い、その変調した信号に基づいて誘導型ヘッド11に磁界を発生させ、これにより磁気ディスク8のデータ面に磁気記録を行う。

【0035】なお、データ復調回路35c及びデータ変調回路35bは電圧レベル検出のためにPR4ML方式を採用しているが、従来の出力波形ピーク検出方式を使用してもよい。ヘッドIC21内のヘッド切換回路21aは、ヘッド選択回路35aの指令信号に基づいて選択した1つのMRヘッド10又は誘導型ヘッド11から1つを選択する。しかもヘッドIC21は選択したMRヘッド10をMRバイアス電流制御回路21bの出力側やデータ復調回路35cの入力側に接続したり、或いは選択した誘導型ヘッド11をデータ変調回路35bの入力側に接続する。

【0036】ヘッドIC21は、上記した磁気ヘッド切換回路35a、データ変調回路35bなどの他にサーボ情報を読み取る回路などを有している。プログラムメモリ38には、磁気ディスク装置1の電源投入立ち上げ時に使用する立ち上げプログラム(ブートプログラム)が格納されている。このブートプログラムには、立ち上げ時に全てのMRヘッド10にデフォルトのバイアス電流を流すためのデータを有している。プログラムメモリ38は、データバスDBを介してHDC33、MCU36との間でデータを送受するようになっている。

【0037】ブートプログラムによる磁気ディスク8の立ち上げの動作は、磁気ディスク8に記録された制御プログラムデータをMRヘッド10により再生してバッファメモリ34に格納する動作を含んでいる。この制御プログラムには、MRヘッド10毎の最適バイアス電流データが記録されているので、磁気ディスク装置1の立ち上げ動作を終えた後には、その電流データに基づいてMRヘッド10の個々に最適バイアス電流が流されることになる。

【0038】なお、上記したVCM5の動作とSPM8の回転は、サーボコントローラ39を介してMCU36からの信号によって制御される。以上のような構成に加えて、本発明の磁気ディスク装置にあってはヘッドIC

内に、MRバイアス電圧検出回路 21c を有している。MRバイアス電圧検出回路 21c は、所定のバイアス電流が供給されているMRヘッド 10 の一対のリード 10e 間にかかる電圧を検出する回路で、その検出された電圧のデータはADC回路 36c によってデジタル信号に変化された後に、データバスDB、HDC 33、インターフェース 32 を通してホストシステム 50 へ出力される。

【0039】上記した構成を有する磁気ディスク装置内において、MRヘッド毎に最適なバイアス電流を設定するための方法を図 6 に示すフローチャートに沿って説明する。そのバイアス電流の最適値の決定は、磁気ディスク装置製造過程におけるドライブパラメータ設定工程で行われる。

【0040】まず、図 7 に示すように、磁気ディスク装置を製造する工場内のホストシステム 50 から、インターフェース 32 を通して、抵抗測定用のバイアス電流  $J_1$  をMRヘッド 10 に流すようにHDC 33 へ指示する。その指示信号を受けたHDC 33 は、DAC 36c を介して抵抗測定用電流供給指令信号をMRバイアス電流制御回路 21b へ出力する。その抵抗測定用電流供給指令信号を受けたMRバイアス電流制御回路 21b は、プログラムに従った順に個々のMRヘッド 10 にバイアス電流  $J_1$  を流す。MRヘッド 10 の選択はヘッド選択回路 35a、ヘッド切換回路 21a によって行われる。

【0041】これにより、バイアス電流  $J_1$  が流されているMRヘッド 10 の両端には、MRヘッド抵抗とバイアス電流値  $J_1$  を積算した値の電圧  $V_1$  がかかる。その電圧  $V_1$  は抵抗測定用電圧  $V_1$  としてMRバイアス電圧検出回路 21c により検出されてADC 36c、データバスDB及びHDC 33 を通してバッファメモリ 34 へ出力される。抵抗測定用電圧  $V_1$  は、検出対象となったMRヘッド 10 と関連付けられてバッファメモリ 34 に格納される。ホストシステム 50 では、バッファメモリ 34 に格納されたMRヘッド 10 の個々の抵抗測定用電圧  $V_1$  のデータを、HDC 33、インターフェース 32 を介して取り入れる。なお  $V_1$  は、基準電圧（例えば接地電圧） $V_g$  に対する電位差を示している。

【0042】さらに、ホストシステム 50 の抵抗測定演算回路 50a では、図 8 に示すように、抵抗測定用電圧  $V_1$  と抵抗測定用のバイアス電流  $J_1$  のデータに基づいてオームの法則によりMRヘッド 10 毎に抵抗  $R_1$  を算出する。図 3 (a) に示したMRヘッド 10 のリード 10e 間のコア幅  $W$  は殆ど均一であり、しかも、MRヘッド 10 における一対のリード 10e 間のセンス領域  $W$  の各層の抵抗値とセンス領域  $W$  の各層の高さ（MR高さ） $h$  は反比例関係にあるので、ホストシステム 50 により算出された抵抗値によりMRヘッド 10 の個々のMR高さ  $h$  が求められる。なお、図 3 (a), (b) に示すSAL層 10a から磁気抵抗効果層 10c までの各層の単位面積当

りの抵抗率は、それらの材料と膜厚によって決まる。

【0043】なお、MR抵抗  $r_0$  は、次の式で求められる。ただし、 $D$  はMRヘッドのコア幅、 $\eta$  は磁気抵抗効果層などの比抵抗、 $h$  はMRヘッドの高さ、 $t$  は磁気抵抗効果層などの膜厚、 $B$  は定数である。

$$r_0 = (D\eta/h t) + B$$

次に、ホストシステム 50 のバイアス電流許容範囲判別回路 50c は、寿命データ記憶回路 50b に格納されている寿命データと抵抗  $R_1$  との値に基づいて、バイアス電流の調整可能な範囲をMRヘッド 10 毎に算出する。寿命曲線は、図 9 のようにMRヘッドの抵抗値とバイアス電流の関数で示され、図 9 の曲線のよりも小さな値、即ち図 9 の斜線で示す領域がバイアス電流値の調整可能な範囲である。

【0044】このようなバイアス電流の設定、抵抗測定用電圧  $V_1$  の測定、抵抗  $R_1$  の演算及びMRヘッド高さ  $h$  の演算といった一連の処理は、1つのMRヘッドについて行われた後に、別のMRヘッドについても同様に行われる。なお、寿命曲線は予め測定しておいたデータに基づいて描かれ、その算出の方法については後述する。

【0045】全てのMRヘッド 10 について抵抗値の演算とMRバイアス電流値の選定を終えた後に、コアズレ補正を行うためにMRヘッド 10 をシークする。コアズレは、MRヘッド 10 の中心と誘導型ヘッド 11 の中心のトラック幅方向の相対的なずれである。その際、スライスレベルマージン（オフセットマージンともいう）を同時に測定する。スライスレベルマージンというのは、磁気ディスク 8 の所定のトラックの中心から直径方向にMRヘッド 10 をシークさせた場合に、磁気データとして再生が可能である出力電圧の振幅を示している。そして、MRヘッド 10 をシークして磁気ディスク 8 に書き込まれた磁気データを読み出し、その出力電圧の変化、即ち抵抗の変化を調べる。この場合、図 3 (b) に示したMRヘッド 10 に流すバイアス電流  $J$  の大小によってバイアス磁界  $H_b$  が変わるので、磁気抵抗効果層 10c の磁化  $M_1$  の方向も変わる。バイアス磁界  $H_b$  が大きくなってゆくと、これにつれて図 4 に示したバイアス磁界  $H_b$  の線が右側にシフトすることになるので、外部磁界の変化に対する抵抗率変化量も相違することになる。なお、スライスレベルは、再生信号を 3 値に振り分けるための閾値である。

【0046】従って、ホストシステム 50 のスライスレベルマージン測定回路 50d によってスライスレベルマージンが最も大きくなるバイアス電流  $J$  を調査する。例えば、MRヘッド 10 に流すバイアス電流を例えば 6.5mA から 9.5mA の範囲で変え、各バイアス電流についてスライスレベルマージンを測定し、これによりスライスレベルマージンとバイアス電流の関係を示すと図 10 に示すようになる。図 10 から明らかなように、スライスレベルマージンにはピークが存在する。これは、図 4



に示したように、バイアス電流に依存するバイアス磁界  $H_b$  の強さを零から増加させてゆくと、その増加の過程で抵抗変化（出力）の波形の振幅にピークが存在することからも明らかである。そこで、図9から明らかになったバイアス電流の調整可能範囲内で図10のスライスレベルマージンが最も大きくなるようなバイアス電流を選択し、これを最適バイアス電流とする。例えば、図9でMR抵抗値が70Ωの場合に最適バイアス電流は図10から約8.5mAとなる。

【0047】各MRヘッド10毎に図9の斜線で示した範囲でバイアス電流を変えて図10のスライスレベルマージンの曲線を描くのが好ましく、これによりバイアス電流の測定点を多くするほど図10のスライスレベルマージンの曲線が正確に描けることになる。しかし、その測定に時間がかかってしまう。そこで、各MRヘッド10毎に、図9の二点鎖線で示すような3つの測定用の電流曲線を予め設定しておき、その二点鎖線上にある3点のバイアス電流を選んでスライスレベルマージンの測定を行い、そのうちで最もスライスマージンが大きくなるようなバイアス電流を最適バイアス電流としてもよい。

【0048】このようなスライスレベルマージンの測定は、ホストシステム50の指令によって行われる。そして、ホストシステム50の最適バイアス判定手段50eは、予め格納された寿命曲線から求めたバイアス電流の許容範囲内で最もスライスレベルマージンが大きくなる値を最適バイアス電流として決定する。最適バイアス電流の値の調査は、全てのMRヘッド10について行われ、その最適バイアス電流のデータは、図11(a)に示すように、ホストシステム50からインターフェース32、HDC33、データ変調回路35bに出力され、そして誘導型ヘッド11によって磁界に変換されて磁気ディスク8のデータ領域に書き込まれる。あるいは、そのデータは、半導体記憶デバイスよりなるプログラムメモリ38或いはMCU36のROMに格納してもよい。

【0049】最適バイアス電流のデータの磁気ディスク8への書き込みは、図6のフローチャートに示すように、インナーシリンダのオフセットマージンを測定し、さらにヘッドコアズレ量を計算し、書き込み、読み出しパラメータのチューニングを終えた後に、別のパラメータの磁気ディスク8への書き込みとともに行われる。その磁気デ

$$\tau = A \times j^{-2} \times \exp(9700/T), \quad j = J/h \cdot t$$

以上の説明では、図9のMRヘッド寿命曲線と図10のスライスレベルマージン特性曲線からMRヘッド10の最適バイアス値を求めた。その他の最適バイアス電流の値の決定方法としては、図13で示した出力電圧  $V_{iso}$  とMR高さ  $h$  の関係からその値を求めてもよい。例えば、複数のMRヘッド10の出力電圧  $V_{iso}$  を所定の範囲内に揃えるために、その出力電圧  $V_{iso}$  が得られるバイアス電流を選ぶようにしてもよい。

【0053】なお、上記したMRヘッドを適用する磁気

\* イスク8のデータ領域に書き込まれた最適バイアス電流のデータは図11(b)に示すように、磁気ディスク装置の起動時にMRヘッド10、データ復調回路35cを介してよって読み出され、HDC33を介してバッファメモリ34に格納される。そして、HDC33は、バッファメモリ34のプログラムのデータに従って最適バイアス電流のデータをDAC36bを介してバイアス電流制御回路21bに転送して、MRヘッド10の個々に合わせて最適バイアス電流を流すことになる。

【0050】なお、磁気ディスク装置の起動時から、最適バイアス電流のデータをバッファメモリ34に格納するまでの間には、プログラムメモリに予め書き込まれたデフォルトのバイアス電流が全てのMRヘッド10に供給されることになる。このような最適バイアス電流を個々のMRヘッドに合わせて設定することにより、MRヘッドの能力を十分に活用することができ、マイグレーションによる劣化を防止できる。しかも、従来のように全てのMRヘッドに同じバイアス電流を流す場合には、抵抗が高すぎるとして磁気ディスク装置に組み込まれなかったMRヘッド、即ち図9の領域Kに該当するMRヘッドにも最適なバイアス電流を流せることになるので、MRヘッドの無駄をなくすることができる。

【0051】ところで、図9に示したようなMRヘッドの寿命曲線測定は次のようにして行われる。まず、MR高さ  $h$  の異なる複数のMRヘッド10を用意し、それらにバイアス電流を流しながら加熱下で加速試験を行って寿命を調査する。さらに、そのバイアス電流の大きさを変えて同じように寿命を調査する。これにより図12(a),(b)に示すような複数の曲線が描ける。続いて、寿命を何年にするか決定し、その寿命が得られるバイアス電流とMR高さ  $h$  の曲線を描く。ただし、MR高さ  $h$  はMRヘッドの抵抗に反比例しているのので、図9では横軸をMR高さ  $h$  とする代わりに抵抗で示している。したがって、MRヘッドの寿命を何年に設定するかでその寿命曲線は変わってくることになる。

【0052】素子寿命  $\tau$  は、次の式により求める。ただし、 $A$ は定数、 $T$ は温度、 $J$ はセンス電流、 $j$ は電流密度、 $h$ はMR高さ、 $t$ は磁気抵抗効果層などの膜厚である。

記憶装置として磁気ディスク装置を例に挙げて説明したが、磁気テープ記憶装置の再生用ヘッドとして使用してもよい。この場合にも、同じようにして最適バイアス電流を決定する。

【0054】

【発明の効果】以上述べたように本発明によれば、MRヘッドの抵抗値と寿命との関係からバイアス電流の大きさを許容する範囲を求め、その範囲内で最適バイアス電流を設定するようにしたので、抵抗の小さなMRヘッド

の出力を大きくすることができる。

【0055】また、その範囲内でスライスレベルマージンが最大になるバイアス電流を最適バイアス電流に設定とすると、MRヘッドの能力を十分に活用することができ、マイグレーションによる劣化を防止できる。しかも、従来のように全てのMRヘッドに同じバイアス電流を流す場合には、抵抗が高すぎるとして磁気ディスク装置に組み込まれなかったMRヘッドにも最適なバイアス電流を流すことになるので、MRヘッドの無駄をなくすることができる。

#### 【図面の簡単な説明】

【図1】図1は、本発明の実施の形態に係る磁気ディスク装置の内部を示す平面図である。

【図2】図2は、本発明の実施の形態に係る磁気ディスク装置の内部を示す断面図である。

【図3】図3(a)は、本発明の実施の形態に係る磁気ディスク装置に適用されるMRヘッドと誘導型ヘッドの構造を示す斜視断面図、図3(b)はMRヘッドのセンス領域とその周辺の層構造を示す斜視図である。

【図4】図4は、本発明の実施の形態に係る磁気ディスク装置のMRヘッドの抵抗率と外部磁界の関係を示す図である。

【図5】図5は、本発明の実施の形態に係る磁気ディスク装置の回路ブロック図である。

【図6】図6は、本発明の実施の形態にかかる磁気ディスク装置のMRヘッドの最適バイアス電流の値を求める過程を示すフローチャートである。

【図7】図7は、本発明の実施の形態にかかる磁気ディスク装置のMRヘッドの抵抗値を測定するための回路系統を示すブロック図である。

【図8】図8は、本発明の実施の形態にかかる磁気ディスク装置のMRヘッドの最適バイアス電流の値を求めるための回路系統を示すブロック図である。

【図9】図9は、本発明の実施ディスク装置に使用されるMRヘッドの寿命をMRバイアス電流とMR抵抗値で示す寿命曲線である。

【図10】図10は、本発明の実施の形態にかかる磁気ディスク装置におけるスライスレベルマージンとMRバイアス電流の関係を測定した結果を示す曲線である。

【図11】図11(a)は、本発明の実施の形態にかかる磁気ディスク装置において、最適バイアス電流のデータを磁気ディスクに記録するための回路系統を示すブロック図であり、図11(b)は、本発明の実施の形態にかかる磁気ディスク装置において磁気ディスクに記録された

最適バイアス電流のデータを読み出し、この最適バイアス電流をMRヘッドに流すための回路系統を示すブロック図である。

【図12】図12(a)、(b)は、本発明の実施の形態に適用されるMRヘッドの高さとMRヘッドの寿命の関係を示す図である。

【図13】図13は、本発明の実施の形態に適用されるMRヘッドの高さとMRヘッド出力電圧の関係を示す図である。

10 【図14】図14(a)は、MRヘッドの磁性層を示す斜視図、図14(b)は、MRバイアス電流とMR抵抗値と寿命の関係を示す図である。

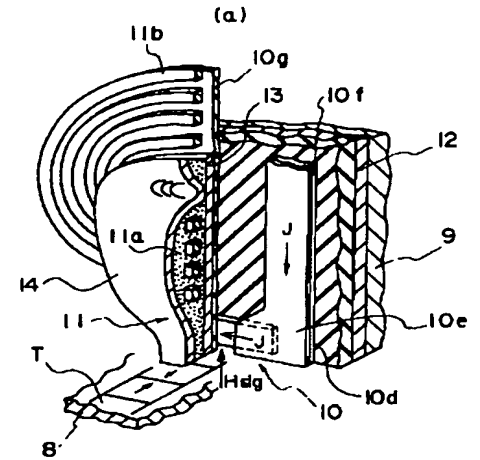
【図15】図15は、従来のMRヘッドのMR高さを決めるために使用される寿命曲線の一例を示す図である。

【図16】図16は、従来のMRヘッドのMR高さを決めるために使用される出力曲線の一例を示す図である。

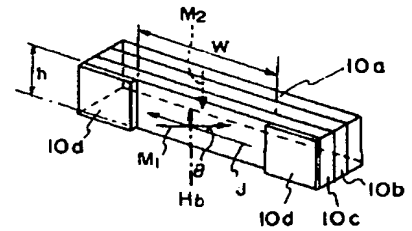
#### 【符号の説明】

- 1 磁気ディスク装置
- 10 MRヘッド
- 11 誘導型ヘッド
- 21 ヘッドIC
- 21a ヘッド切替回路
- 21b MRバイアス電流制御回路
- 21c MRバイアス電圧検出回路
- 31 コントロールユニット
- 32 インターフェース(I/F)
- 33 ハードディスクコントローラ(HDC)
- 34 バッファメモリ
- 35 リードチャネル(RDC)
- 30 35a ヘッド選択回路
- 35b データ変調回路
- 35c データ復調回路
- 36 MCU
- 36a MPU
- 36b デジタルアナログコンバータ回路(DAC)
- 36c アナログデジタルコンバータ回路(ADC)
- 38 プログラムメモリ
- 50 ホストシステム
- 50a 抵抗演算回路
- 40 50b 寿命データ記憶回路
- 50c バイアス電流許容範囲判別回路
- 50d スライスレベルマージン測定回路
- 50e 最適バイアス電流判定回路

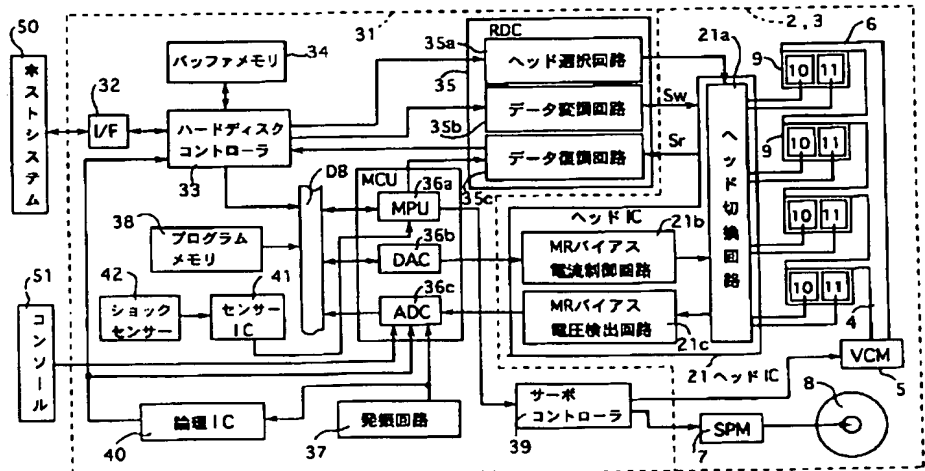
【図 3】



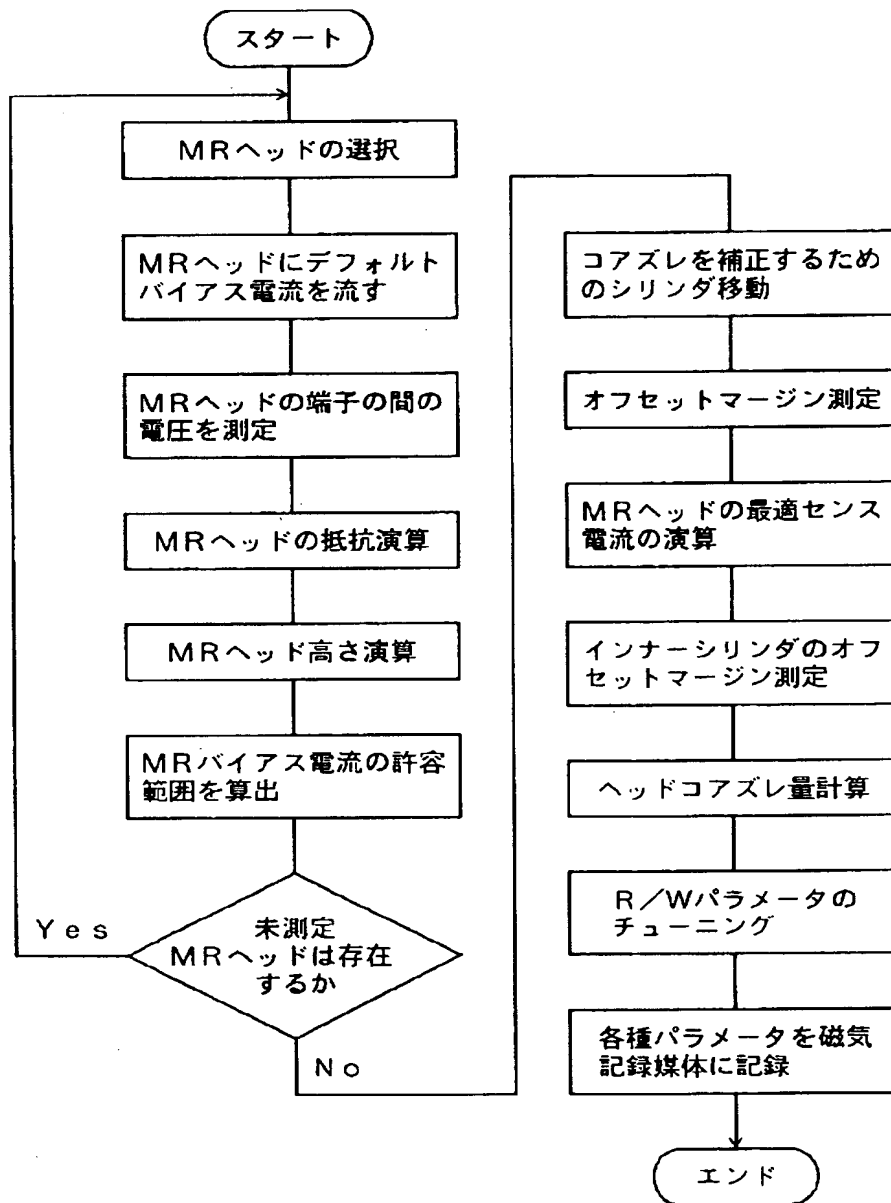
(b)



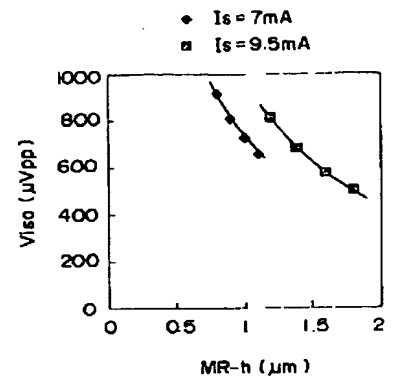
【図 5】



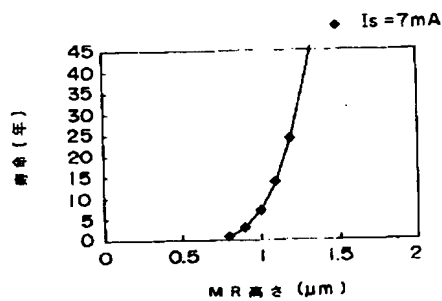
【図6】



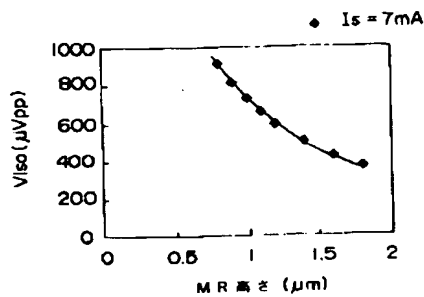
【図13】



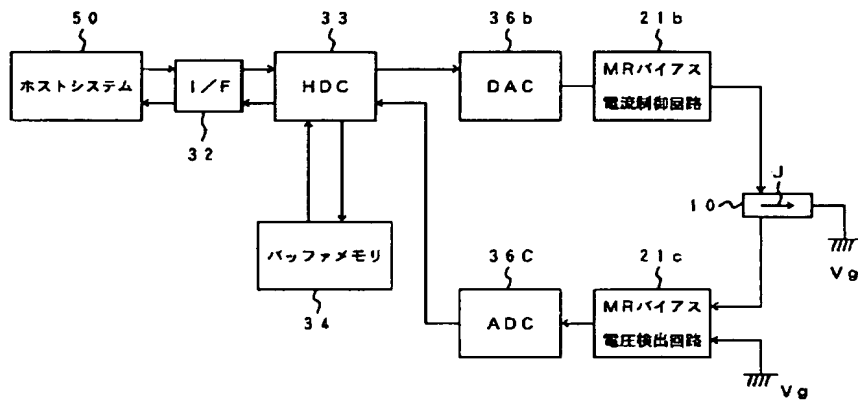
【図15】



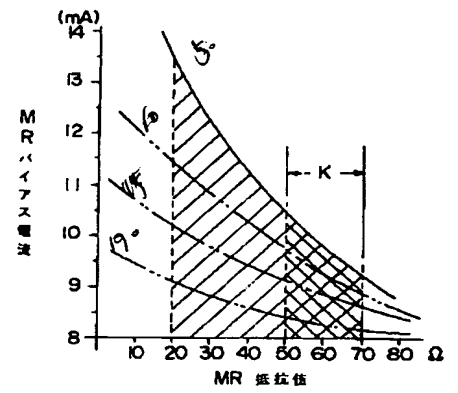
【図16】



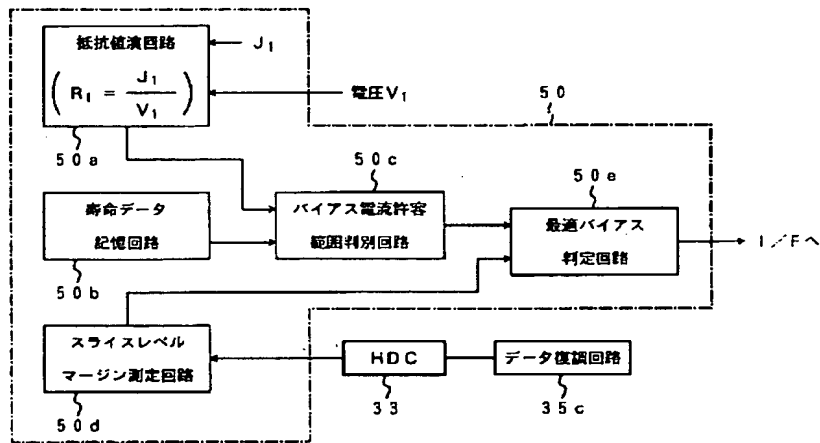
【図7】



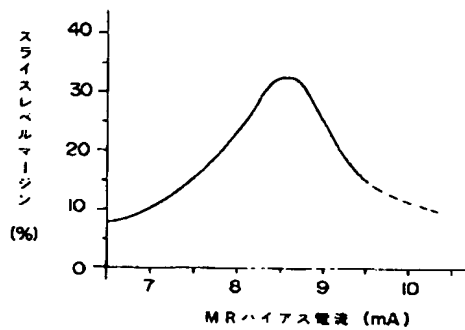
【図9】



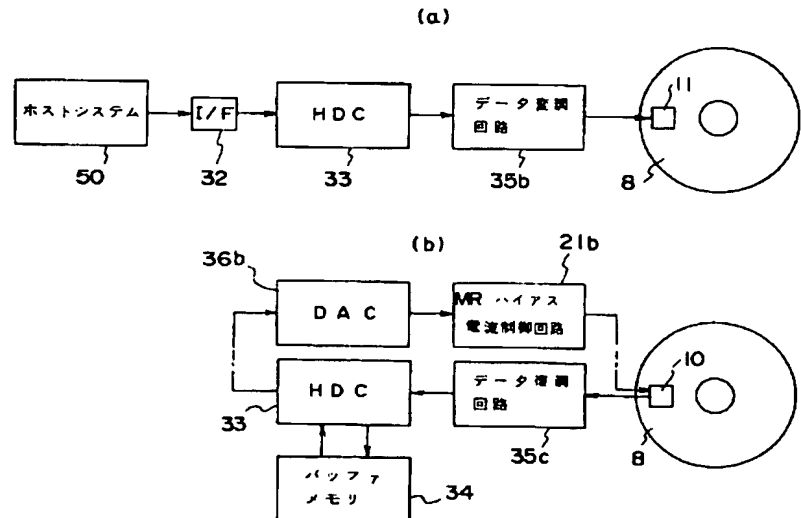
【図8】



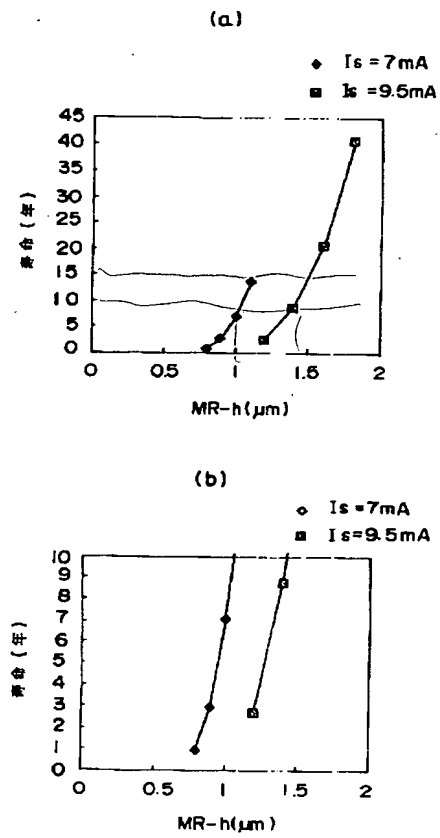
【図10】



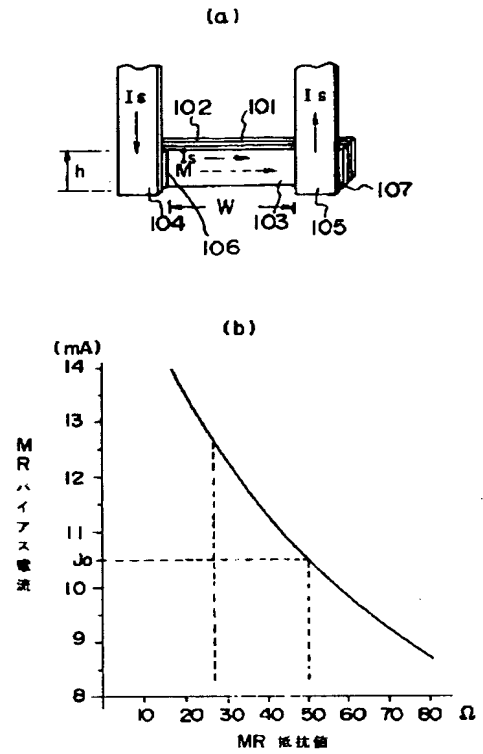
【図11】



【図12】



【図14】



フロントページの続き

(72)発明者 三浦 肇  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 大森 秀樹  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内